

学位論文審査結果の要旨

専攻名	システム工学専攻	氏名	WANG BAO KANG
学位論文題目	Tile/Line Dual Access Cache Memory based on Hierarchical Z-order Tiling Data Layout (Z オーダータイリングレイアウトに基づくタイル/ライン両アクセス対応キャッシュメモリ)		
主査・副査	主査 近藤 利夫		㊞
	副査 太田 義勝		㊞
	副査 若林 哲史		㊞
<p>審査結果の要旨</p> <p>本論文では、SIMD 拡張命令を備える汎用プロセッサのアクセス効率改善を目指して、タイル/ライン両アクセスに対応する新構成のキャッシュメモリを提案し、その性能評価と構成最適化を行っている。提案キャッシュは、TLB ミスの増大無しでタイル単位での並列アクセスを可能とするために、多バンクのスキュードアレイ対応構成と階層タイル形式のデータ格納レイアウトに対応するアドレス変換機構を組み合わせた新規の構成を採っている。また、タイル/ライン両アクセスに対応するために増加するタグメモリのハードウェア規模増を抑えるためにキャッシュミス時にタイルセット単位で置換する新規の RATS 法を組み込んでいる。性能評価は、行列計算の要となっている行列乗算と LU 分解を用いて行っている。ただし、評価環境としては既存のプロセッサシミュレータ Simple Scaler を、内蔵のキャッシュメモリを提案キャッシュに置き換える改造を行って用いている。この性能評価の結果から、TLB ミスの頻度を従来の 1/10~1/100 程度にまで抑えられることと、行・列両方向のキャッシュライン単位の並列アクセス頻度が均等になる条件で、実行時間の律速要因の一つとなっているロード所要サイクル数を 1/2.6 程度にまで低減できることを明らかにしている。</p> <p>この提案キャッシュは、ハードウェア規模増を高々7%程度に抑えながら、これまで禁止的であったラスタ走査方向と直交する方向にもラスタ走査方向と同等の速度でアクセス可能とするので、負荷の大きい転置処理を不要とするだけでなく、2次元配列データの構成要素に対する処理順をラスタ走査方向に強い制約を無くせ、コーディングの自由度を大幅に改善する点で極めて有用性が高い。構成・機能の完成度は、置換アルゴリズム等に改善の余地があるものの有効性の検証には十分なレベルにある。また、性能評価は SIMD 拡張命令のないプロセッサシミュレータで行っているため、並列演算、並列アクセスの条件での実行時間までは測れていないものの、基本性能の評価としては十分信頼できる。</p> <p>2月9日に開いた公聴会においても、研究の要点から成果・貢献まで、要領よく説明できたのに加え、階層タイル形式と従来の Z-Morton との違い、ソフトウェア手法に対する優位性所在等に関する質問に対して、明確に応えられており、本論文は博士(工学)の学位を授与するに十分に値すると判定した。</p>			