

令和 3 年 5 月 19 日現在

機関番号：14101

研究種目：基盤研究(C)（一般）

研究期間：2018～2020

課題番号：18K11213

研究課題名（和文）超伝導単一磁束量子回路のテスト手法および高信頼化に関する研究

研究課題名（英文）Researches on Testing and Reliable Design of Superconducting Rapid Single-Flux-Quantum Circuits

研究代表者

高木 一義（Takagi, Kazuyoshi）

三重大学・工学研究科・教授

研究者番号：70273844

交付決定額（研究期間全体）：（直接経費） 3,300,000 円

研究成果の概要（和文）：単一磁束量子論理回路は、パルス論理に基づいて高速に動作する論理回路である。信頼性の高い回路の設計のため、回路が正しく動作するためのタイミング制約を満たす、自動配置および自動配置の手法を開発した。実際のチップの各論理ゲートにおけるパルスの到着が、設計で想定されたサイクルに対し遅れる、または早まる事象を、タイミング故障としてモデル化した。タイミング故障を検出するためのテストパターン列の生成アルゴリズムを提案した。本課題を通して得られた単一磁束量子回路の動作タイミングに関する知見を応用し、論理シミュレーションおよび自動配線の手法を開発した。

研究成果の学術的意義や社会的意義

超伝導デバイス技術が進歩し、大規模単一磁束量子回路の試作が進められている。単一磁束量子回路による、半導体CMOS論理回路より高速で低消費電力の論理回路の実現可能性が示されている。大規模回路の実現と高性能化のためには、デバイス技術とともに設計自動化技術が不可欠である。本研究のテスト手法および回路の高信頼化技術は、これまでに開発した設計支援技術と合わせて、超伝導デバイスのデジタル応用に貢献すると考えられる。

研究成果の概要（英文）：Rapid Single-Flux-Quantum logic circuits operate based on pulse logic at high-speed. To design reliable circuits, we developed automatic placement and routing methods that satisfy the timing constraints for correct operation. We defined a timing fault as an event that pulse arrival at a logic gate in the fabricated chip is delayed or advanced with respect to the cycle assumed in the design. We proposed an algorithm to generate test pattern sequences to detect timing faults. We developed methods for logic simulation and automatic routing by applying our knowledge related to the operation timing of rapid single-flux-quantum circuits obtained through the research task.

研究分野：計算機科学

キーワード：論理回路 超伝導単一磁束量子デバイス 設計自動化 テストパターン生成 タイミング故障

## 1．研究開始当初の背景

超伝導デバイスを用いた単一磁束量子回路は、半導体とは異なる原理で動作し、超高速かつ低消費電力のデジタル回路を実現可能であるため、次世代の集積回路デバイスの候補として有力視されている。単一磁束量子回路はジョセフソン接合とインダクタンスで構成され、磁束量子を情報担体としその移動には電圧パルスが伴う。研究開発当初、単一磁束量子回路の極限性能を引き出す計算機アーキテクチャ、データ処理方式、および、データ伝送方式が開発され、マイクロプロセッサ等、種々の回路の設計および動作実証が行われていた。回路の大規模化に伴い、回路設計支援技術が重要になってきていた。

## 2．研究の目的

超伝導単一磁束量子回路のテストに関する手法の体系を確立し、高速かつ高信頼な回路設計のために有用な開発フローを提供することを目的とする。大規模回路の設計および動作実証のためには、設計および検証手法のほか、試作回路のテスト手法が必要となる。半導体とは異なる性質を持つ回路のテストに関する理論と問題解決手法の探求は、学術的にも興味深い。また、テスト手法に関する研究で得られる知見を回路の高信頼化に応用できる可能性がある。

## 3．研究の方法

まず、単一磁束量子回路のタイミング故障のモデル化について検討した。次に、このモデルに基づき、故障検出および診断のためのテストパターン生成手法の確立を目指した。これと並行して、同じく回路の動作タイミングに注目し、自動配置配線の設計フローの開発を進めた。

## 4．研究成果

### (1) ジョセフソン伝送線路と受動線路の混在配線による自動配置配線設計

単一磁束量子論理回路は、パルス論理に基づいて高速に動作する論理回路である。信頼性の高い回路の設計のためには、パルスが各ゲートへ到着するタイミングの調整が重要である。この観点から、回路が正しく動作するためのタイミング制約を満たす、自動配置および自動配置のアルゴリズムと設計フローを開発した。このアルゴリズムでは、短距離配線にジョセフソン伝送線路、長距離配線に受動線路を用いる混合配線を行い、配線遅延を最小化する。図1に、自動配置の各ステップの操作を示す。ゲートレベルのネットリストが与えられる。各ゲートはレベル毎に整列され、接続関係に基づきクラスタリングされる。クラスタ内の配線にはジョセフソン伝送線路を用いる。クラスタの配置の最適化を行った後、クラスタ間を受動線路を用いて接続する。開発したアルゴリズムをサンプル回路に適用し、有用性を確認した。

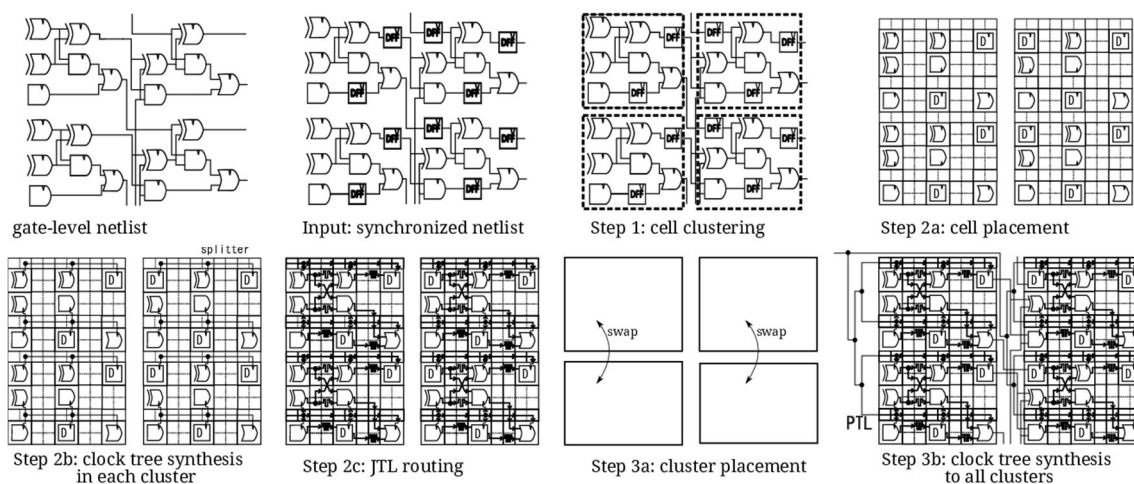


図 1 自動配線の各ステップの操作

### (2) タイミング故障モデルとテストパターン生成

実際のチップの各論理ゲートにおけるパルスの到着が、設計で想定されたサイクルに対し遅れる、または早まる事象を、タイミング故障としてモデル化した。ある論理ゲートにおけるタイミング故障を、その論理ゲートにおけるパルスの到着順が設計と実際のチップで異なることと定義し、故障時に想定される回路の振舞いを全て数え挙げられるようにした。各論理ゲートでクロック信号により同期をとるため、例えば図2に示すように、回路中の2入力ANDゲートの入力の一方向のタイミングが故障により遅れると論理に誤りが生じる。このタイミング故障は、連続す

る2つの入力パタンによる故障検出が可能である。この性質に基づき、入力パタンのペアを連鎖し、仮定する故障のうち検出可能なものを全て検出する、コンパクトなテストパタン列を生成するための基本的なアルゴリズムを示した。また、連続する3つの入力パタンによる故障の同定が可能であることを示し、同様に、入力パタンの3個組を連鎖して故障診断を行うアルゴリズムを示した。

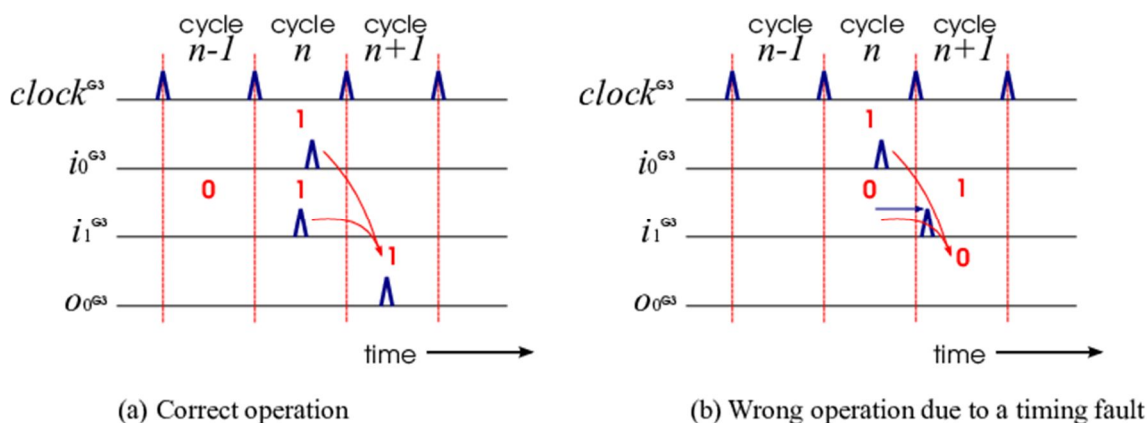


図 2 AND ゲートの入力におけるタイミング故障とゲートの動作

### (3) 故障シミュレーションの高速化手法

上記のテストパタン列の生成で必要となる、故障シミュレーションの高速化手法の提案を行った。テストパタン列の生成では、故障シミュレーションを繰り返し実行する。故障シミュレーションでは、正常回路の動作と、タイミング故障が発生すると仮定した回路の動作の、両方のシミュレーションを実行し、回路の振舞いを比較する。大規模回路に対し多数の故障を仮定するテストパタン生成では、この計算コストは高いため、本研究では以下の2つの点に着目し計算の効率化を行った。第1に、正常回路と故障回路の動作に共通部分があることに着目し、故障の影響範囲を特定し、それ以外のゲートの振舞いの計算を再利用できるようにした。第2に、単一磁束量子回路のパイプライン動作に着目し、テストパタン生成に影響し得るステージに属するゲートのみについて計算を行うようにした。これらのアイデアをシミュレーションプログラムに統合し、ベンチマーク回路の故障シミュレーションを行い、提案手法の有効性を確認した。

### (4) その他の研究成果

本課題を通して得られた単一磁束量子回路の動作タイミングに関する知見を、種々の設計段階に採り入れ、新しい設計手法の開発の基礎とした。その結果、論理シミュレーションアルゴリズムのより広範囲の回路動作への適用、受動線路を用いた配線における指定長配線アルゴリズム、および、配線の分岐を考慮した指定長自動配線アルゴリズム、の3点に関し成果を得た。

## 5. 主な発表論文等

〔雑誌論文〕 計4件（うち査読付論文 4件／うち国際共著 1件／うちオープンアクセス 0件）

1. 著者名 Dejima Takashi、Takagi Kazuyoshi、Takagi Naofumi	4. 巻 30
2. 論文標題 A Layout Design Flow for RSFQ Circuits Based on Cell Clustering and Mixed Wiring of JTLs and PTLs	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Applied Superconductivity	6. 最初と最後の頁 1～6
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TASC.2020.3014928	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kito Nobutaka、Udatsu Shohei、Takagi Kazuyoshi	4. 巻 1590
2. 論文標題 Logic simulation tool for RSFQ circuits accepting arrivals of multiple pulses in a clock period	5. 発行年 2020年
3. 雑誌名 Journal of Physics: Conference Series	6. 最初と最後の頁 012041～012041
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1742-6596/1590/1/012041	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kitamura K、Takagi K、Takagi N	4. 巻 1590
2. 論文標題 A two-step routing method with wire length budgeting for PTL routing of SFQ logic circuits	5. 発行年 2020年
3. 雑誌名 Journal of Physics: Conference Series	6. 最初と最後の頁 012043～012043
掲載論文のDOI（デジタルオブジェクト識別子） 10.1088/1742-6596/1590/1/012043	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 -

1. 著者名 Kou Mingyang、Cheng Pei-Yi、Zeng Jun、Ho Tsung-Yi、Takagi Kazuyoshi、Yao Hailong	4. 巻 -
2. 論文標題 Splitter-Aware Multi-Terminal Routing with Length Matching Constraint for RSFQ Circuits	5. 発行年 2020年
3. 雑誌名 IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems	6. 最初と最後の頁 1～1
掲載論文のDOI（デジタルオブジェクト識別子） 10.1109/TCAD.2020.3042159	査読の有無 有
オープンアクセス オープンアクセスではない、又はオープンアクセスが困難	国際共著 該当する

〔学会発表〕 計11件（うち招待講演 2件 / うち国際学会 8件）

1 . 発表者名 T. Dejima, K. Takagi, N. Takagi
2 . 発表標題 Placement and Routing Methods Based on Mixed Wiring of JTLs and PTLs for RSFQ Circuits
3 . 学会等名 International Superconducting Electronics Conference (ISEC 2019) ( 国際学会 )
4 . 発表年 2019年

1 . 発表者名 K. Takagi, M. Ono, N. Kito, N.Takagi
2 . 発表標題 Test Pattern Generation for Timing Faults in Rapid Single-Flux-Quantum Circuits
3 . 学会等名 22nd Workshop on Synthesis And System Integration Mixed Information technologies (SASIMI 2019) ( 国際学会 )
4 . 発表年 2019年

1 . 発表者名 N. Kito, S. Udatsu, K. Takagi
2 . 発表標題 Logic Simulation Tool for RSFQ Circuits Accepting Arrivals of Multiple Pulses in a Clock Period
3 . 学会等名 32nd International Symposium on Superconductivity (ISS2019) ( 国際学会 )
4 . 発表年 2019年

1 . 発表者名 K. Kitamura, K. Takagi, N. Takagi
2 . 発表標題 A Global Routing Method with Wire Length Budgeting for PTL Routing of SFQ Logic Circuits
3 . 学会等名 32nd International Symposium on Superconductivity (ISS2019) ( 国際学会 )
4 . 発表年 2019年

1．発表者名 K. Kitamura, K. Takagi, N. Takagi
2．発表標題 A Routing Method with Wire Length Matching for RSFQ Logic Circuits using Thin PTLs
3．学会等名 13th Superconducting SFQ VLSI Workshop (SSV 2020) (国際学会)
4．発表年 2020年

1．発表者名 高木一義
2．発表標題 SFQデジタル集積回路の設計自動化
3．学会等名 日本学術振興会超伝導エレクトロニクス第146委員会 通信・情報処理分科会第16回研究会（招待講演）
4．発表年 2018年

1．発表者名 出島貴史、高木直史、高木一義
2．発表標題 超伝導単一磁束量子（SFQ）回路設計のためのタイミング制約を考慮した自動配置アルゴリズム
3．学会等名 DAシンポジウム2018
4．発表年 2018年

1．発表者名 北村圭、高木一義、高木直史
2．発表標題 大規模SFQ論理回路のパルス到着タイミングを最適化する配置手法
3．学会等名 電子情報通信学会2018年ソサイエティ大会
4．発表年 2018年

1. 発表者名 Pei-Yi Cheng, Kazuyoshi Takagi, and Tsung-Yi Ho
2. 発表標題 Multi-terminal routing with length-matching for rapid single flux quantum circuits
3. 学会等名 International Conference on Computer-Aided Design (ICCAD2018) (招待講演) (国際学会)
4. 発表年 2018年

1. 発表者名 K. Kitamura, K. Takagi, and N. Takagi
2. 発表標題 A Global Routing Method with Wire Length Budgeting for SFQ Logic Circuits
3. 学会等名 12th Superconducting SFQ VLSI Workshop (SSV 2019) (国際学会)
4. 発表年 2019年

1. 発表者名 S. Nakamura, K. Takagi, N. Kito, N. Takagi
2. 発表標題 Static Timing Analysis of an RSFQ Circuit Considering Timing Jitter
3. 学会等名 33rd International Symposium on Superconductivity (ISS2020) (国際学会)
4. 発表年 2020年

〔図書〕 計0件

〔産業財産権〕

〔その他〕

-

#### 6. 研究組織

	氏名 (ローマ字氏名) (研究者番号)	所属研究機関・部局・職 (機関番号)	備考
--	---------------------------	-----------------------	----

#### 7. 科研費を使用して開催した国際研究集会

〔国際研究集会〕 計0件

8 . 本研究に関連して実施した国際共同研究の実施状況

共同研究相手国	相手方研究機関
---------	---------