

# 修士論文

## LSI 負荷検査容易化回路と 面積コスト最小化手法に関する研究



平成 21 年度修了

三重大学大学院 工学研究科

博士前期課程 電気電子工学専攻

荒川 加奈子

## —目次—

第1章	はじめに.....	1
1.1	研究の背景.....	1
1.2	研究の目的.....	2
第2章	バーンイン.....	3
2.1	バーンインにおける負荷.....	3
2.2	従来の加負荷法と問題.....	5
2.2.1	負荷不足問題.....	5
2.2.2	データ量問題.....	6
第3章	バーンイン容易化回路.....	8
3.1	バーンイン容易化回路.....	8
3.2	制御点.....	8
3.3	スキャンチェーンの利用.....	9
第4章	グリーディ法を適用した制御点決定法.....	12
4.1	グリーディ法を適用した制御点決定法.....	12
4.1.1	グリーディ法.....	12
4.1.2	出力変化率の確率計算法.....	12
4.1.3	提案手法の流れ.....	13
4.2	実験結果.....	15
4.3	考察.....	18
4.3.1	制御点の打ち止め.....	19
4.3.2	確率計算法の誤差.....	21
4.3.3	グリーディ法の欠点.....	22

第 5 章 段階的制御点決定法.....	23
5.1 段階的制御点決定法.....	23
5.1.1 制御点種類の追加.....	23
5.1.2 素子の段階的处理.....	23
5.1.3 ランダム入力による論理シミュレーション.....	24
5.1.4 段階的制御点決定法の流れ.....	24
5.2 実験結果.....	26
5.3 考察.....	29
5.4 挿入地点候補を拡張した段階的制御点決定法.....	30
5.5 実験結果.....	30
5.6 考察.....	34
第 6 章 まとめ.....	35
謝辞.....	36
参考文献.....	37
発表論文.....	38

## —図一覧—

1.1	動作時間と故障率の関係.....	1
2.1	負荷が加わった素子.....	3
2.2	CMOSNOT ゲートの負荷発生原理.....	4
2.3	出力変化頻度と負荷量の関係.....	4
2.4	加負荷法.....	5
2.5	バーン引用データ系列を用いた加負荷法.....	7
2.6	順序回路 LSI.....	7
3.1	マルチプレクサに繋がる信号.....	8
3.2	制御点挿入例.....	8
3.3	同期による出力値の固定化.....	9
3.4	スキャン FF の構成.....	10
3.5	スキャンチェーン.....	11
4.1	各素子の 1 率計算式.....	13
4.2	制御点の 1 率.....	13
4.3	グリーディ法を適用した制御点決定法のフローチャート.....	14
4.4	制御点挿入による出力変化率減少例.....	20
4.5	挿入効果微笑による挿入不可例.....	20
4.6	目標変化率未満素子数による挿入不可例.....	21
4.7	再収れん.....	21
4.8	非効率な制御点の挿入.....	22
5.1	追加する制御点の入力データ.....	23
5.2	素子の段階的处理.....	24
5.3	段階的制御点決定法の流れ.....	25
5.4	挿入地点候補の拡張.....	30

## —表一覧—

4. 1	s 5378 における目標変化率未満素子数.....	15
4. 2	s 9234 における目標変化率未満素子数.....	15
4. 3	s 13207 における目標変化率未満素子数.....	16
4. 4	s 15850 における目標変化率未満素子数.....	16
4. 5	s 38417 における目標変化率未満素子数.....	16
4. 6	s 38584 における目標変化率未満素子数.....	17
4. 7	b 14 s における目標変化率未満素子数.....	17
4. 8	b 15 s における目標変化率未満素子数.....	17
4. 9	b 20 s における目標変化率未満素子数.....	18
4. 10	b 21 s における目標変化率未満素子数.....	18
4. 11	b 22 s における目標変化率未満素子数.....	18
4. 12	各回路の確率計算上の目標変化率未満素子数.....	19
5. 1	s 5378 における目標変化率未満素子数.....	26
5. 2	s 9234 における目標変化率未満素子数.....	26
5. 3	s 13207 における目標変化率未満素子数.....	27
5. 4	s 15850 における目標変化率未満素子数.....	27
5. 5	s 38417 における目標変化率未満素子数.....	27
5. 6	s 38584 における目標変化率未満素子数.....	28
5. 7	b 14 s における目標変化率未満素子数.....	28
5. 8	b 15 s における目標変化率未満素子数.....	28
5. 9	b 20 s における目標変化率未満素子数.....	29
5. 10	b 21 s における目標変化率未満素子数.....	29
5. 11	b 22 s における目標変化率未満素子数.....	29
5. 12	s 5378 における目標変化率未満素子数.....	31
5. 13	s 9234 における目標変化率未満素子数.....	31
5. 14	s 13207 における目標変化率未満素子数.....	31
5. 15	s 15850 における目標変化率未満素子数.....	32
5. 16	s 38417 における目標変化率未満素子数.....	32
5. 17	s 38584 における目標変化率未満素子数.....	32
5. 18	b 14 s における目標変化率未満素子数.....	33
5. 19	b 15 s における目標変化率未満素子数.....	33

5. 20	b 20 s における目標変化率未満素子数.....	33
5. 21	b 21 s における目標変化率未満素子数.....	34
5. 22	b 22 s における目標変化率未満素子数.....	34

# 第1章 はじめに

## 1.1 研究の背景

近年、半導体の微細化製造技術の進歩により、LSIは単位面積当たりの回路規模が増大し、機能の複雑化と小型化が進んだ。そのため、現在LSIは電子・通信・情報機器のいたるところに組み込まれ、社会の基盤を担っている。しかし、1チップ上に微細な素子や配線が密集するため、LSIには不良品が必ず混入する。そのため、LSIメーカーは製品の品質と信頼性を確保するため、製造後にバーンイン[1]とLSIテストを行っている。

バーンインとは、短時間の動作で壊れてしまう不良品をLSIテストで検出するために設けられた工程である。LSIの動作時間と故障率は図1.1のように表され、その形状から一般にバスタブカーブ[2]と呼ばれている。図より、LSIは動作初期に故障しやすい初期不良期間があり、その後は低い故障率を維持する偶発故障期間へ移行する。この初期不良期間の動作で故障することを初期不良という。初期不良はLSIを動作させ続けた結果、LSI内に存在した耐久性の低い素子などが壊れたことで発生する。しかし、製造直後は耐久性の低い素子が壊れていないため、LSIは正常に動作し、問題が発現しないことからLSIテストで検出できない。そのため、バーンインでは動作によってLSI内に加わる負荷を、高温・高電圧などの劣化を加速する状況下で何倍にもすることにより、短時間の動作で初期不良期間分の負荷を与える。その結果、耐久性の低い素子は壊れ、初期不良が発生する。このように、初期不良を意図的に発生させることで、故障したLSIとしてバーンイン後に行うLSIテストで検出が可能となる。



図 1.1 動作時間と故障率の関係

しかし、現在の大規模 LSI は内部回路構成が複雑化したことにより、動作によって加わる負荷が素子ごとに偏っている。そのため、バーンイン時に初期不良期間分の負荷を与えられない素子が存在する。耐久性の低い素子に負荷を与えられなかった場合、初期不良が発生せずにバーンインが終了し、その後の LSI テストで検出できずに出荷されてしまう問題が生じる。

## 1.2 研究の目的

本研究では、バーンイン時に初期不良を確実に起こすため、全素子に初期不良期間分の負荷を与えることを目的とする。そのための手段として、全素子に負荷を与えやすくするバーンイン容易化回路を LSI に組み込むことを提案する。バーンイン容易化回路は、DFT (Design for testability) 技術の考え方を適用した制御点を LSI 内部に挿入することで作成できる。しかし、制御点の挿入により LSI の回路面積が増え、チップコストが増大するため、回路面積を最小化する制御点決定法を開発する。

以降、第 2 章ではバーンインについて説明し、第 3 章ではバーンイン容易化回路を提案する。その後の第 4 章ではグリーディ法を用いた制御点決定法、第 5 章では段階的制御点決定法での実験結果とその考察を述べる。

## 第2章 バーンイン

### 2.1 バーンインにおける負荷

バーンインでは、LSI を動作させることで素子に負荷を与えるが、図 2.1 に示すように、負荷は LSI が動作した結果、出力の論理値が反転した素子に加わる。

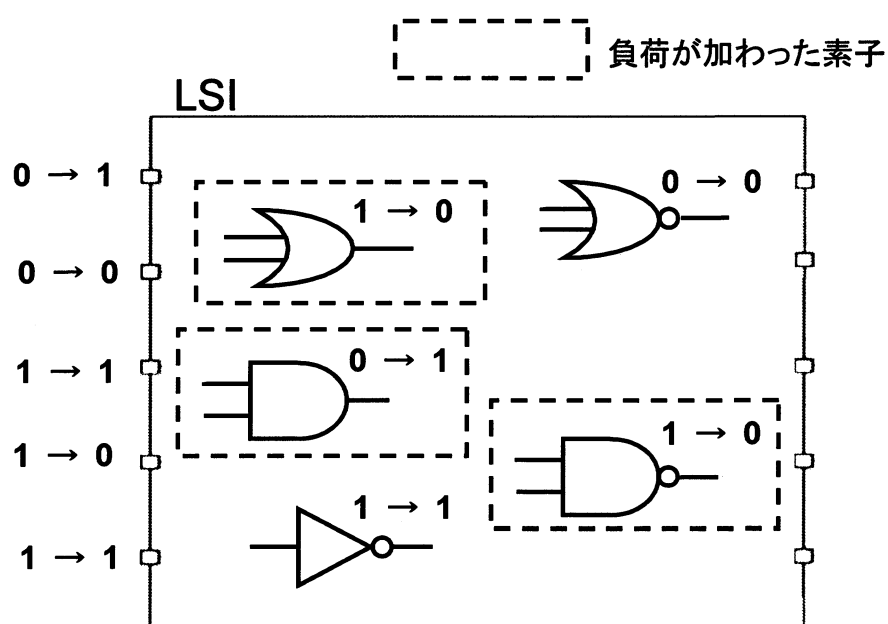


図 2.1 負荷が加わった素子

加負荷の原理を CMOS の NOT ゲートを例にして図示したのが図 2.2 である。この回路において、Vdd と Vss はそれぞれ電源線とアース線であり、Vdd 側の FET（図中上側）が PMOS-FET、Vss 側の FET（図中下側）が NMOS-FET である。入力値が変化しない場合、負荷容量は定常状態が継続されるため、負荷は加わらないが、変化した場合、PMOS と NMOS の導通・非導通が入れ替わり、出力端子に接続されている負荷容量が充放電をするため、負荷が加わる。

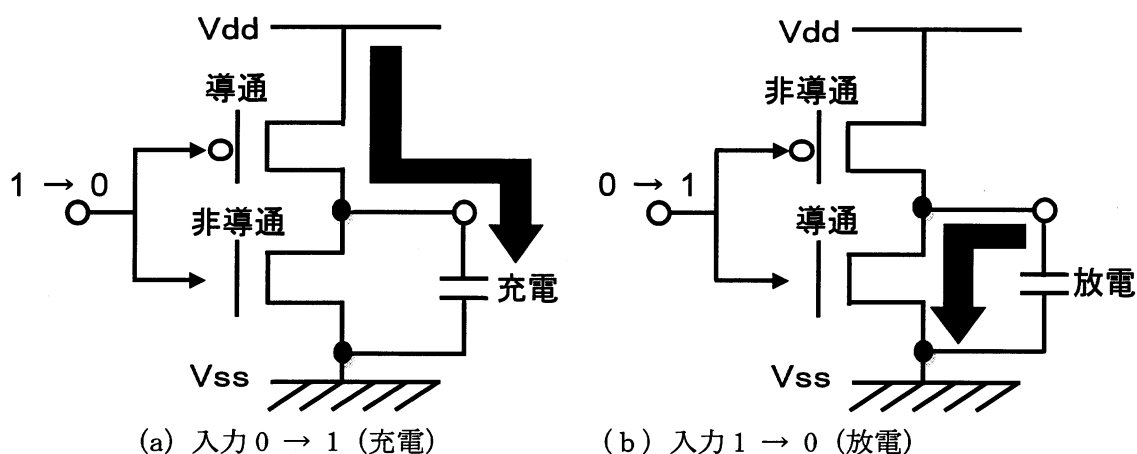


図 2.2 CMOS NOTゲートの負荷発生原理

初期不良の原因である耐久性の低い素子を壊すには、負荷が加わるごとに蓄積される負荷量が一定以上必要となる。負荷量は、図 2.3 (a) のように、出力変化（スイッチング）時に一気に上がるが、その後は再度出力変化するまで急激に減少していく。そのため、出力変化頻度が低い場合、出力変化時から大幅に減少した負荷量しか蓄積されず、素子を壊すのに十分な負荷量をバーンイン時に蓄積できない。このことから、初期不良を発生させるためには、図 2.3 (b) のように、頻繁に出力変化させ、十分な負荷量を蓄積することが求められる。

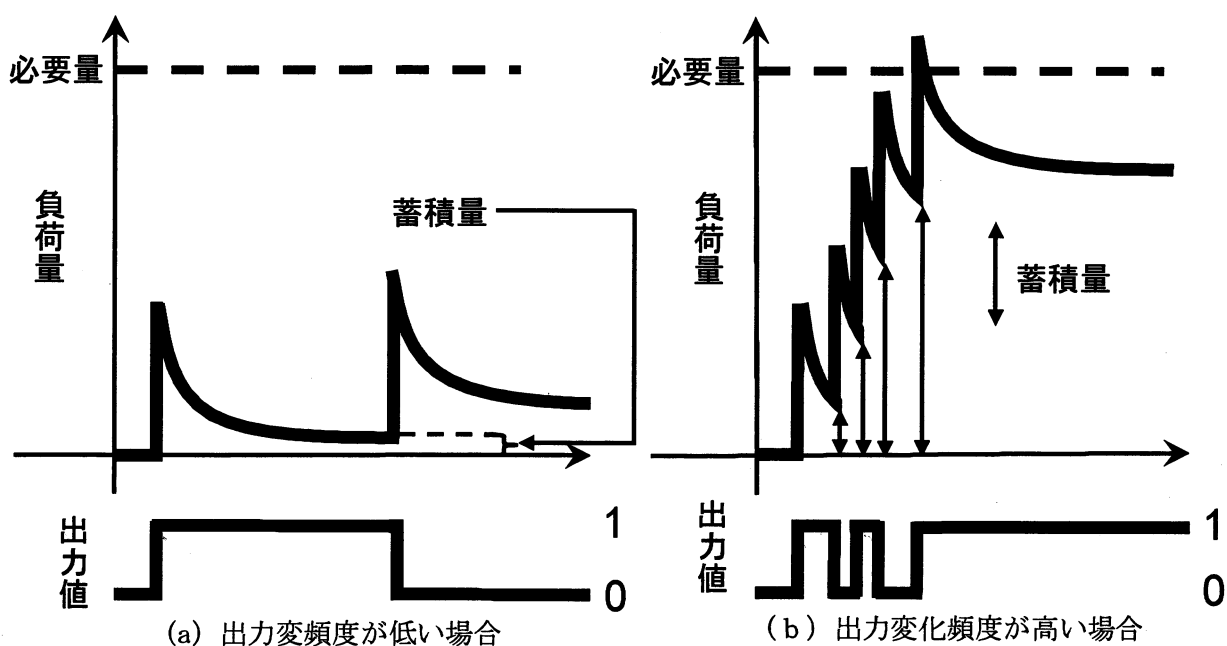


図 2.3 出力変化頻度と負荷量の関係

## 2.2 従来の加負荷法と問題

バーンインでは, LSI を出力変化させて負荷を与えるため, いくつかのデータを連ねたデータ系列を入力する加負荷法 (図 2.4) が行われている. このときに用いられるデータ系列は, 値をランダムに生成したランダムデータ系列, または LSI に作りこまれた論理機能が仕様通りに正しく動作するかを調べるために生成した機能検査用データ系列や LSI 内の全構成要素に故障が発生していないかを調べるために生成した製造検査用データ系列がある. しかし, これらのデータ系列はバーンインでの使用を目的に生成したものではないため, 全素子を頻繁に出力変化させることができない場合が多い.

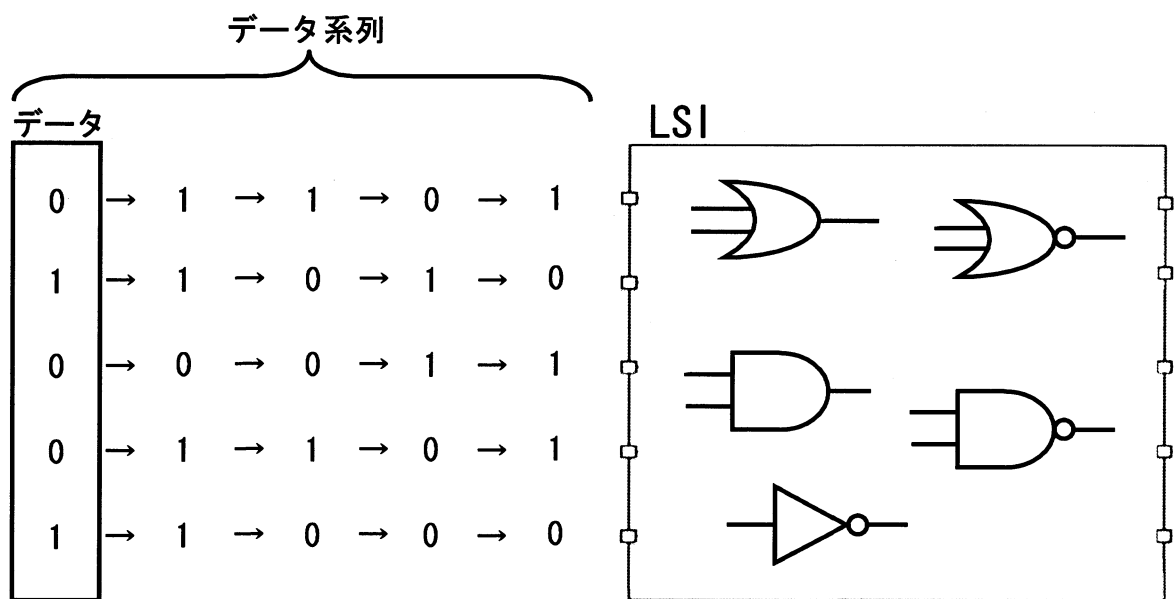


図 2.4 従来の加負荷法

### 2.2.1 負荷不足問題

現在, LSI の内部回路には数百万個以上の素子が存在するため, データ系列を大量に入力しても, 回路構成上ほとんど 0 や 1 しか出力しない素子が存在する. これらの素子を出力変化させるには, 特定のデータを入力することが必要であるが, ランダムデータ系列と機能検査用データ系列は特定のデータが含まれていない場合があり, バーンイン時に必ず全素子を出力変化させることはできない. これに対し, 製造検査用データ系列は, 本来の使用目的である機能検査で検出する故障の 1 つに, 素子の出力値が 0 または 1 に固定される縮退故障があることから, 出力変化させるデータを全素子に対して生成している. そのた

め、製造検査用データ系列を入力することで、必ず全素子を 1 回以上出力変化させることができる。しかし、データ数が何千、何万個以上の製造検査用データ系列の入力によって、1 回だけしか出力変化しない素子は出力変化率が低く、製造検査用データ系列を繰り返し入力しても、十分な負荷量がバーンイン時間内に蓄積されない。このため、出力変化しにくい素子の耐久性が低かった場合、初期不良が起きないまま検査を通過してしまう負荷不足問題が生じる。

### 2.2.2 データ量問題

前節の負荷不足問題を解決するため、バーンイン用データ系列を用いた加負荷法が考えられるが、これにはデータ量の問題がある。

バーンイン用データ系列による加負荷法では、ある素子の出力値を 1 から 0、0 から 1 に変化させる 2 種類のデータを生成し、その 2 つのデータだけを何回も入力する。これにより、生成対象の素子は頻繁に出力変化し、短時間で十分な負荷量が蓄積する。これを全素子に対して行うことにより、初期不良となる LSI を確実に故障させることができる。(図 2.5)

しかし、一般的な LSI は図 2.6 のような外部入力とフリップフロップ (FF) に保持された値が組み合わせ回路部の入力となる順序回路であり、その入力の多くは FF である。このため、ほとんどの素子は外部入力を 1 回入力しただけでは出力を任意の値にできず、素子の入力に関係した FF の値を操作するために、何回もデータ入力を繰り返さなければいけない。このことから、1 つの素子を出力変化させるにはデータがいくつも必要な場合があり、回路規模によっては数百個のデータ数にも及ぶことがある。その結果、バーンイン用データ系列は膨大なデータ量となり、格納するメモリへの投資が増えることでコストが高くなってしまう。

以上より、バーンイン用データ系列を用いた加負荷法にはコスト高の問題があるため、別の手段を考案する必要がある。

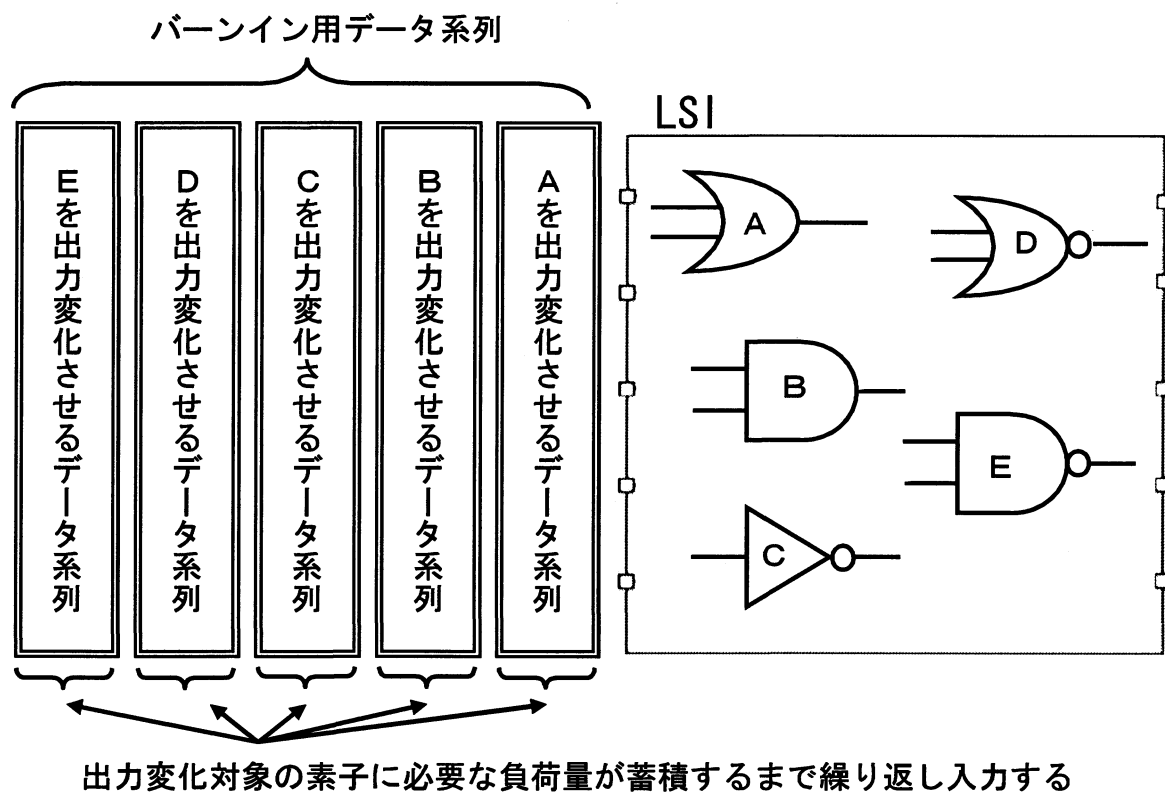


図 2.5 バーンイン用データ系列を用いた加負荷法

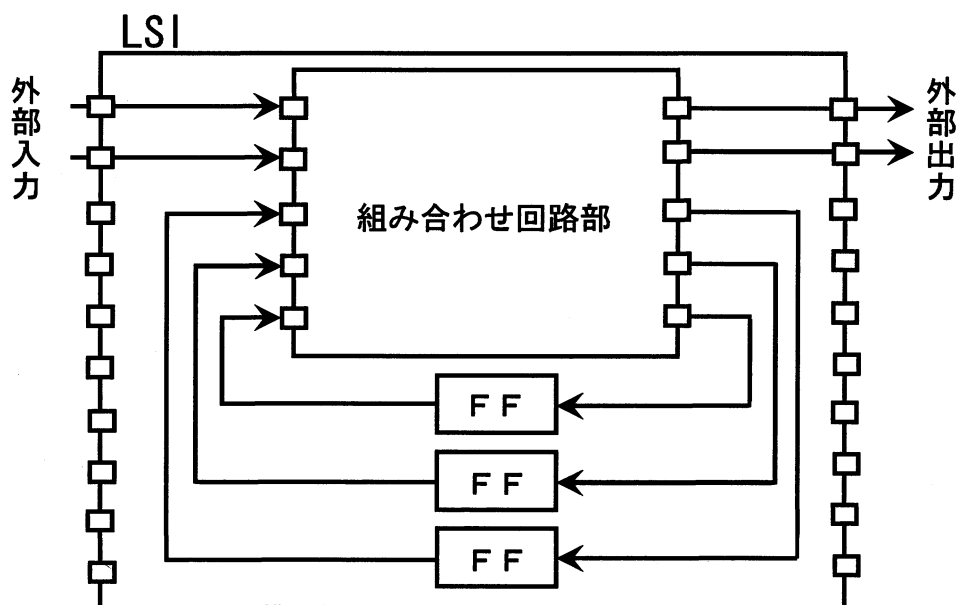


図 2.6 順序回路 LSI

## 第3章 バーンイン容易化回路

### 3.1 バーンイン容易化回路

バーンイン容易化回路とは、LSI に組み込むことでバーンイン時に全素子が出力変化しやすくなる回路である。この回路は、DFT 技術の考えを適用した制御点を LSI に挿入することで作成できる。この回路を組み込んだ LSI は、バーンイン時にランダムデータを入力することで、全素子が頻繁に出力変化して十分な負荷量が蓄積する。このため、バーンイン専用のデータ系列をメモリに格納する必要がなく、メモリコストが発生しない。

### 3.2 制御点

制御点は、素子の入力配線上に図 3.1 に示す信号構成のマルチプレクサの挿入によって作成する回路である。図 3.2 の挿入例より、LSI 外部からマルチプレクサの制御入力进行操作することで、通常動作時は本来の素子の入力データがマルチプレクサから出力されるが、バーンイン時は素子を出力変化させる入力データがマルチプレクサから出力される。これにより、通常動作時には出力変化しにくかった素子を出力変化しやすくできる。

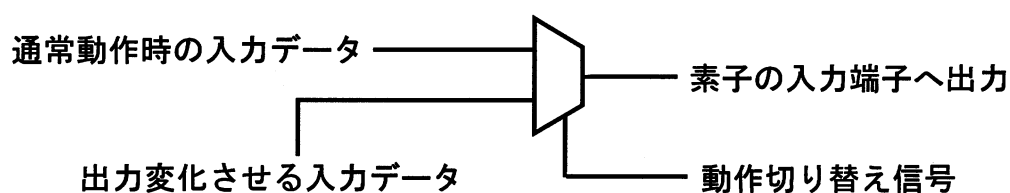


図 3.1 マルチプレクサに繋がる信号

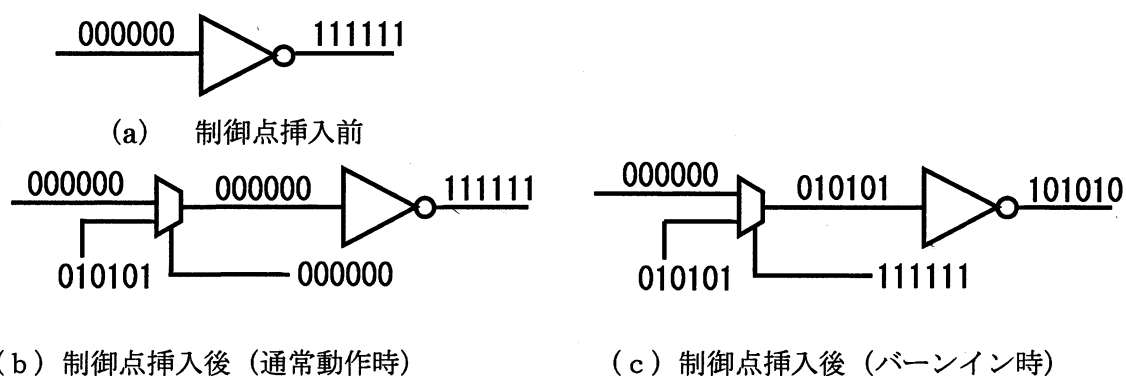


図 3.2 制御点挿入例

一般に、入力の値が変化すると素子の出力も変化するため、バーンイン時に素子を出力変化させる入力データは頻繁に値が変わるランダムデータが適切であると考えられる。そこで、適当な外部入力と制御点を配線で繋ぎ、バーンイン時に外部端子からのランダムデータを引用し、出力変化させる入力データにする。これにより、バーンイン用のランダムデータをを入力する外部端子を新たに設ける必要がなく、また制御点ごとにランダムデータを引用する外部入力を変えることで、図 3.3 に示した同期による出力値の固定化を防ぐことができる。

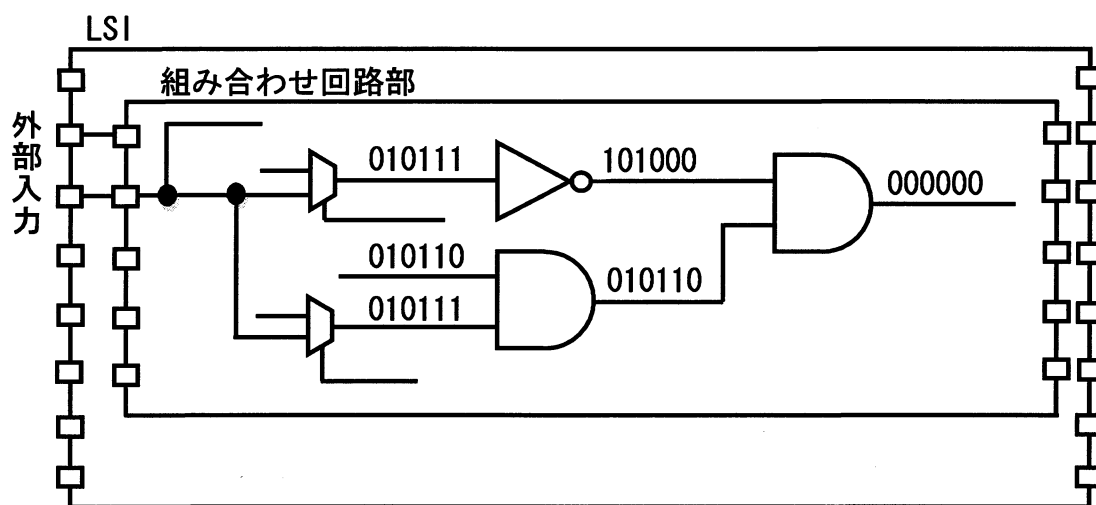


図 3.3 同期による出力値の固定化

以上より、制御点は通常動作時とバーンイン時の動作を切り替えるマルチプレクサの制御入力以外は LSI 外部からの入力を必要としないため、LSI に形成される外部端子の個数を考慮する必要はない。しかし、制御点を挿入するごとに、本来の機能に必要なないマルチプレクサと配線が LSI 内に追加されるため、LSI 面積が増加し、チップコストが問題となる。

そこで、バーンイン時に挿入する制御点を減らすため、スキャンチェーンを利用することを提案する。

### 3.3 スキャンチェーンの利用

順序回路 LSI 内の組み合わせ回路部の入力である FF は、設計の容易さから一般的に使用されている D-FF の場合、FF に繋がった組み合わせ回路部の回路出力の値がそのまま FF の値となる。そのため、組み合わせ回路部の出力の一部が次回動作の入力になる。このこと

から、値が変化しにくい組み合わせ回路部の出力の場合、それに繋がった FF は同じ値ばかりを入力することになり、入力配線上の素子の出力値も変化しにくいと考えられる。反対に、値が変化しやすい出力の場合、それに繋がった FF はほぼ毎回異なる値を入力するので、入力配線上の素子の出力値も変化しやすいと考えられる。以上のことから、素子の出力値を変化しやすくするためには、その入力である組み合わせの回路部の出力、もしくは FF の値を変化させることが有効である。そこで、FF の値を頻繁に変化させるため、スキャンチェーンを利用することを提案する。

スキャンチェーンは、LSI テストを容易化する DFT 技術の代表的なテスト用回路の 1 つである。この回路は、図 3.4 のように、マルチプレクサを挿入し、スキャン機能をつけたスキャン FF とスキャン・イン、スキャン・アウトとなる外部端子を全て直列に接続することで作成できる（図 3.5）。スキャンチェーンでは、FF の値を入力・出力することが可能となるため、組み合わせ回路部へ任意のデータを入力し、その出力結果を観測することができる。このことから、テスト対象の順序回路を組み合わせ回路と見なせ、テスト用データ数を減少できることでテストが容易になる。

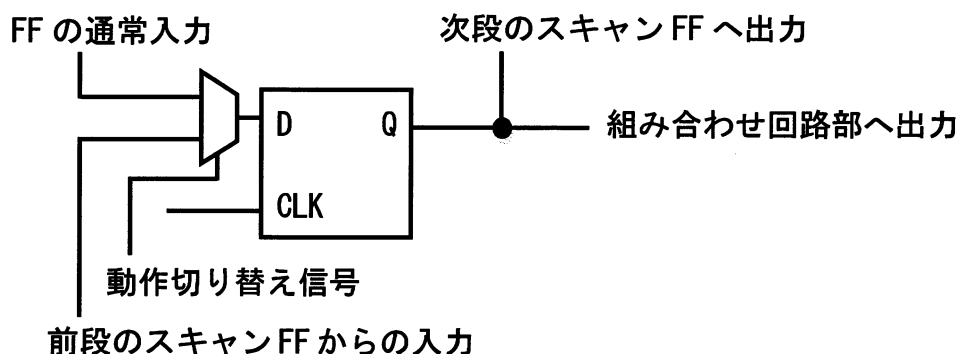


図 3.4 スキャン FF の構成

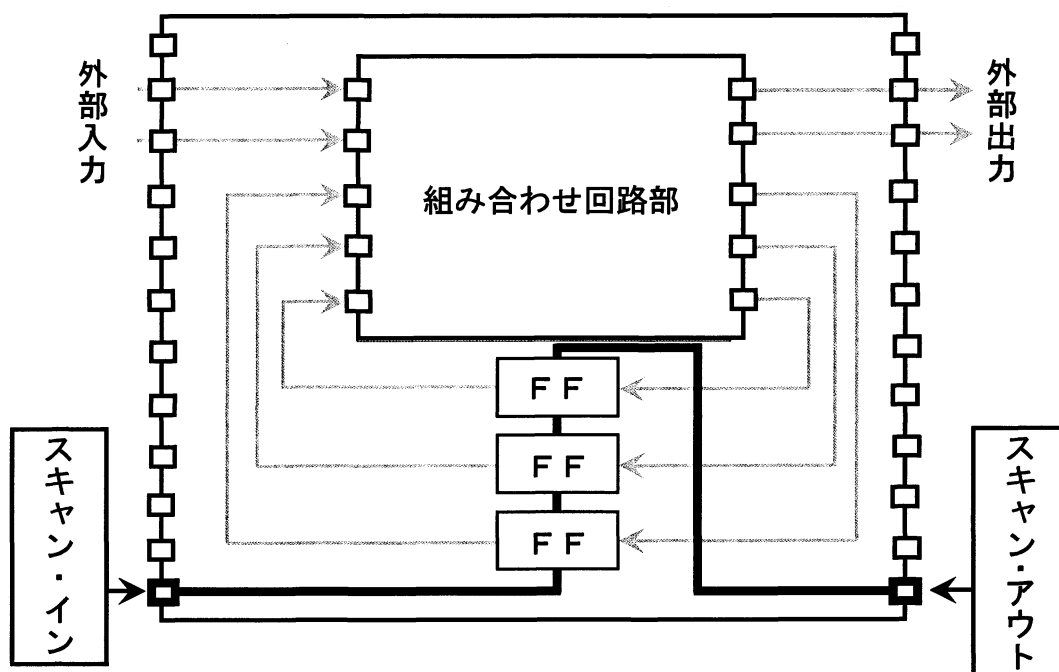


図 3.5 スキャンチェーン

以上の特性から，バーンイン時にもスキャンチェーンを利用し，頻繁に値が変わるランダムデータを FF に入力することで，通常動作時よりも多くの素子が出力変化しやすくなり，挿入する制御点数を減少させることができる。

## 第4章 グリーディ法を適用した制御点決定法

### 4.1 グリーディ法を適用した制御点決定法

バーンイン容易化回路の組み込みによるチップ面積の増加を最小化するため、LSI 内に挿入する制御点数を最小化することが求められる。そこで、本章ではグリーディ法を適用した制御点決定法を提案する。

#### 4.1.1 グリーディ法

グリーディ法は、最適化問題を解くための近似アルゴリズムの一種である。この方法では、ある状況で与えられた複数の選択の中から、その時点で最も良いと思われる選択肢を選び、次の局面に進むことを繰り返すことで、ある程度適切な解を得ると考えられている。

グリーディ法を制御点決定法に適用すると、制御点を挿入するのは挿入による効果が最も高い地点となる。そこで、制御点挿入による効果を定量化するため、素子に十分な負荷量を蓄積できる出力変化率として、目標出力値変化率（目標変化率）を定める。制御点を挿入した結果、出力値変化率が目標変化率よりも低い素子数（目標変化率未満素子数）を評価関数として用いることで、効果を計ることができる。評価関数より、制御点を挿入するのは、挿入によって目標変化率未満素子数が最も減少する地点である。

しかし、制御点を挿入した場合の目標変化率未満素子数を求めるために、制御点挿入可能地点である全素子の入力配線上で毎回ランダムデータ系列の論理シミュレーションを行うのは時間がかかりすぎる。そこで、確率計算法によって全素子の出力変化率を近似的に算出し、目標変化率未満素子数を求める。

#### 4.1.2 出力変化率の確率計算法

入力が1になる確率（1率[3]）が独立であるとき、AND素子の出力の1率は入力1率の積になる。同様に、他の素子の1率も図4.1のように算出できる。1率が決定することにより、素子の出力変化率は出力が0から1、1から0となる確率の和であることから、1率とその余事象である0率で計算できる。この出力変化率の計算式が式(4.1)である。

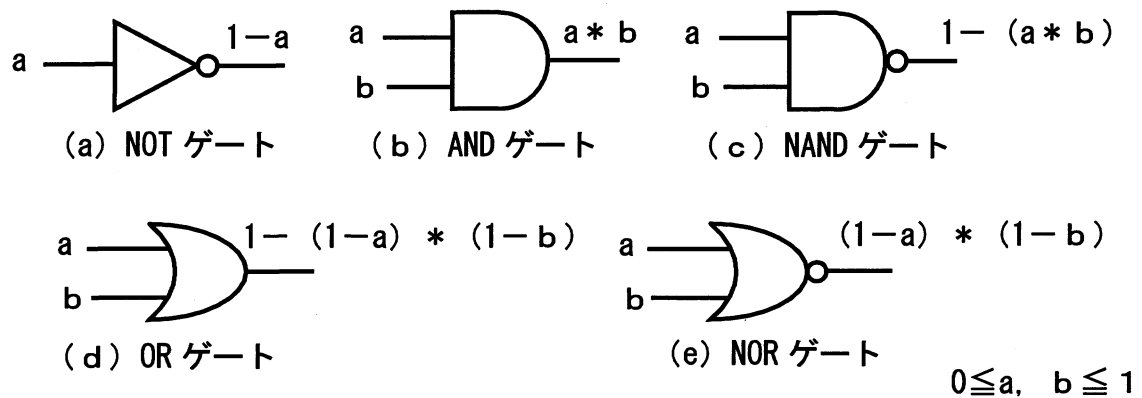


図 4.1 各素子の 1 率計算式

$$\begin{aligned}
 \text{出力変化率} &= 0 \text{ 率} * 1 \text{ 率} + 1 \text{ 率} * 0 \text{ 率} \\
 &= 2 * 0 \text{ 率} * 1 \text{ 率} \\
 &= 2 * (1 - 1 \text{ 率}) * 1 \text{ 率} \quad (4.1)
 \end{aligned}$$

以上より，入力の 1 率が判明すれば，確率計算法により近似的に素子の出力変化率を求めることが可能である．前章より，バーンイン時は頻繁に値が変わるランダムデータを外部入力とスキャンチェーンで入力するため，LSI の全入力を 1 率 0.5 と見なせる．また，制御点を挿入した配線上の入力は図 4.2 のように，1 率 0.5 のランダム入力データを外部入力から引用しているため，1 率は 0.5 となる．このことから，素子の 1 率と出力変化率は，回路入力に繋がった素子から算出でき，それ以外の素子も入力配線上の素子の 1 率が算出された時点で可能となるため，ランダムデータ系列の入力シミュレーションを行わずに全素子の出力変化率を得られ，目標変化率未満素子数も求まる．

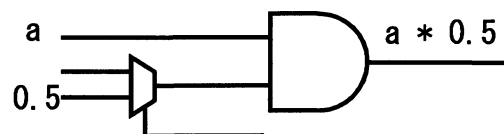


図 4.2 制御点の 1 率

#### 4.1.3 提案手法の流れ

前節までの提案事項を加えて作成した，グリーディ法を適用した制御点決定法のフローチャートを図 4.3 に示し，以下にアルゴリズムを説明する．

### Step1 : 制御点の効果を計測

制御点を挿入した場合の目標未満素子数を確率計算法で算出し，制御点の挿入効果を計測することを全挿入可能地点の制御点で行う．その結果，全制御点で目標変化率未満素子数が挿入前よりも減少しなかった場合，制御点挿入による効果がないと見なし，終了する．

### Step2 : 制御点の挿入

目標変化率未満素子数が最少となる，最も効果的な制御点を挿入する．その結果，目標変化率未満素子数が0になった場合，目的を達成したとして終了．0にならなかった場合，新たな制御点の挿入を行うため，Step1に戻る．以後，Step1での制御点の挿入効果計測時には，挿入済みの制御点の効果を反映させる．

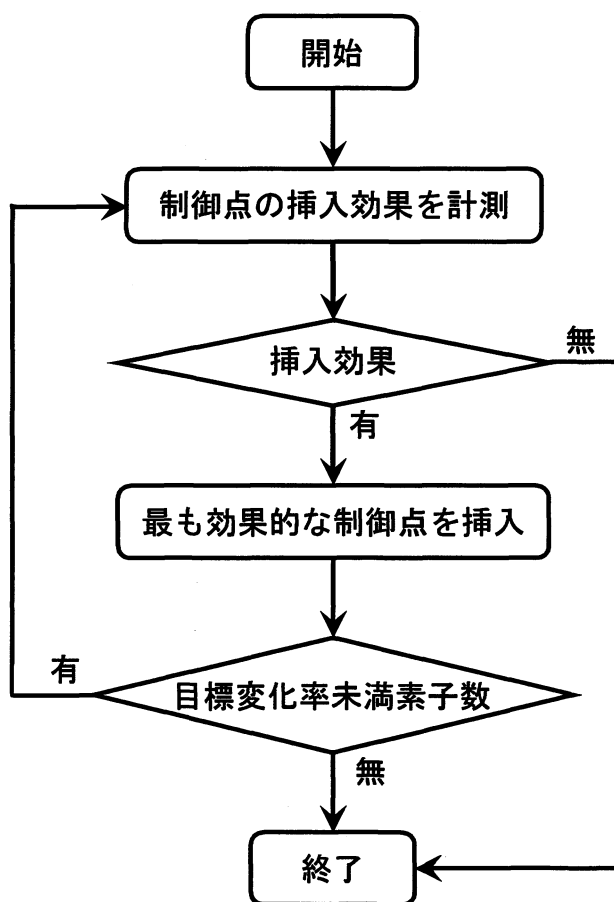


図 4.3 グリーディ法を適用した制御点決定法のフローチャート

## 4.2 実験結果

グリーディ法を適用した制御点決定法をC言語で実装し、ISCAS' 89 ベンチマーク回路、及び ITC' 99 ベンチマーク回路で制御点挿入実験を行った。その実験結果を表 4.1～表 4.11 に示す。これらの表は、制御点挿入前と挿入後に LSI にデータ数 10000 個のランダムデータ系列を入力した結果の目標変化率未満素子数と挿入した制御点数、及び制御点決定にかかった時間を記している。

表 4.1 s 5378 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	582	92	86	90.55
5	262	4	47	50.56
1	138	3	27	30.02
0.5	87	51	15	17.72

表 4.2 s 9234 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	968	126	134	530.59
5	824	58	83	332.85
1	494	15	35	144.09
0.5	417	43	25	104.71

表 4.3 s 13207 における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1485	186	171	1526. 21
5	1329	102	196	1725. 42
1	1212	46	68	609. 11
0.5	1013	58	58	522. 61

表 4.4 s 15850 における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1466	237	124	1581. 69
5	1050	104	107	1371. 96
1	679	14	67	863. 35
0.5	512	28	42	550. 31

表 4.5 s 38417 における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	2241	491	471	32672. 06
5	1615	142	255	17711. 67
1	862	44	111	7780. 00
0.5	753	17	93	6465. 61

表 4.6 s 38584 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	3095	432	894	47960.98
5	2213	245	424	22645.05
1	1598	107	121	6487.34
0.5	1307	97	42	4113.28

表 4.7 b14s における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	656	52	109	325.85
5	561	39	51	162.00
1	231	41	20	73.44
0.5	165	27	17	66.13

表 4.8 b15s における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	3700	534	362	3802.09
5	2053	550	281	2909.26
1	1167	109	51	562.96
0.5	1022	70	34	390.88

表 4.9 b 20 s における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1474	168	252	2871.95
5	1334	85	109	1253.92
1	678	32	53	626.57
0.5	562	197	31	383.75

表 4.10 b 21 s における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1443	123	194	2423.66
5	1197	92	106	1318.91
1	593	27	53	673.98
0.5	487	58	28	366.93

表 4.11 b 22 s における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	2280	264	301	8812.59
5	1856	168	156	4606.46
1	780	69	65	1964.31
0.5	608	49	53	1614.12

### 4.3 考察

実験結果より、制御点を挿入することで目標変化率未満素子数は減少した。しかし、本研究の目的である、全素子に目標変化率以上の出力変化を起こし、十分な負荷量を蓄積することは、目標変化率未満素子数が存在したことにより不可能であった。以下に、実験結果から考察する、目的達成できなかった原因について説明する。

### 4.3.1 制御点挿入の打ち止め

グリーディ法を適用した制御点決定法の終了条件は、目標変化率未満素子数が 0 になった場合以外に、どの地点に挿入しても目標変化率未満素子数が減少しない場合がある。制御点挿入後に行った確率計算法による目標変化率未満素子数を示した表 4.12 より、ほぼ目標変化率未満素子が残っていることから、挿入途中で減少しなくなり、終了していることがわかる。このことから、目的達成できなかった原因の 1 つに、制御点挿入の打ち止めによって目標変化率未満素子数が 0 にならなかったことが考えられる。

表 4.12 各回路の確率計算上の目標変化率未満素子数

回路名	確率計算上の目標変化率未満素子数			
	10%	5%	1%	0.5%
s5378	16	13	1	1
s9234	30	19	2	2
s13207	78	35	4	4
s15850	98	39	2	2
s38417	121	13	8	0
s38584	78	30	0	0
b14s	16	7	5	5
b15s	183	21	1	1
b20s	17	11	4	4
b21s	20	13	5	5
b22s	58	27	12	11

制御点挿入の打ち止め発生原因の 1 つに、制御点挿入によって入力率 0.5 になると、出力変化率が下がる素子の存在がある。図 4.4 に示す AND 素子は、1 率 0.5 のランダム入力データを入力すると出力変化率が減少する。このような素子の出力変化率が目標変化率未満だった場合、制御点挿入によって増加させることができず、打ち止めが発生する。

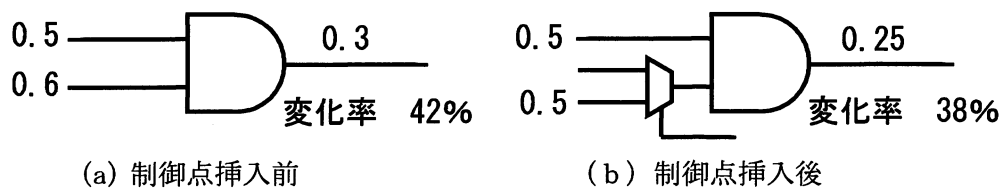


図 4.4 制御点挿入による出力変化率減少例

次に、図 4.5 に示した AND 素子は、1 個の制御点を挿入する場合、どの入力配線上でも目標変化率以上にできない。このため、目標変化率未達素子数が減少せず、制御点挿入による効果がないとみなされ、AND 素子の出力変化率を増加させる制御点は挿入できない。このように、1 個の制御点で出力変化率を目標変化率以上にできない素子が存在する場合にも打ち止めが発生する。

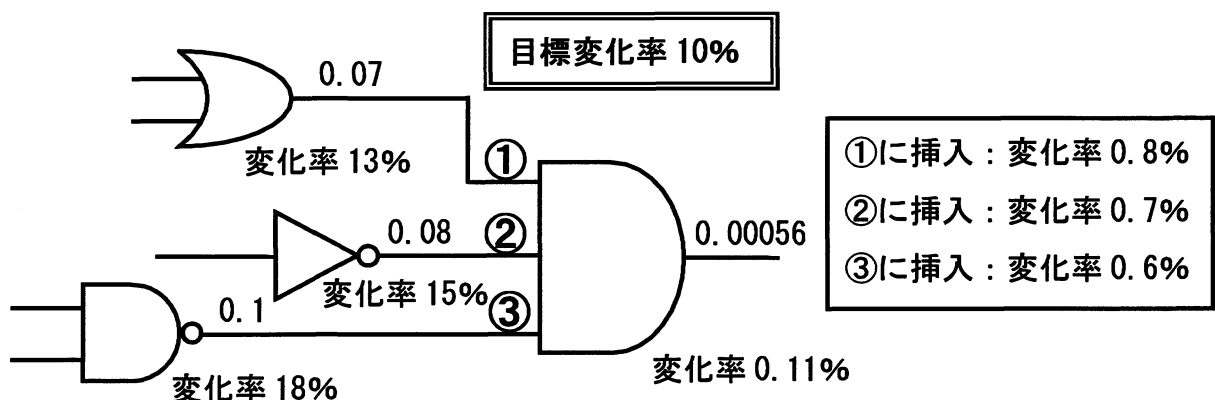


図 4.5 挿入効果微小による挿入不可例

最後に、図 4.6 の素子 A は、制御点を挿入することで出力変化率を目標変化率以上にできるが、その出力配線上の素子 B、C は入力の変化率増加によって出力変化率が減少し、目標変化率未達になる。このため、制御点を挿入した場合、目標変化率未達素子数は増加する。制御点の挿入は目標変化率未達素子数が減少したときだけなので、A の入力配線上には制御点を挿入できない。このように、挿入によって素子の出力変化率は目標変化率以上になるが、目標変化率未達素子数が減少しない場合、挿入による効果がないと見なされ、制御点を挿入できずに打ち切りが発生してしまう。

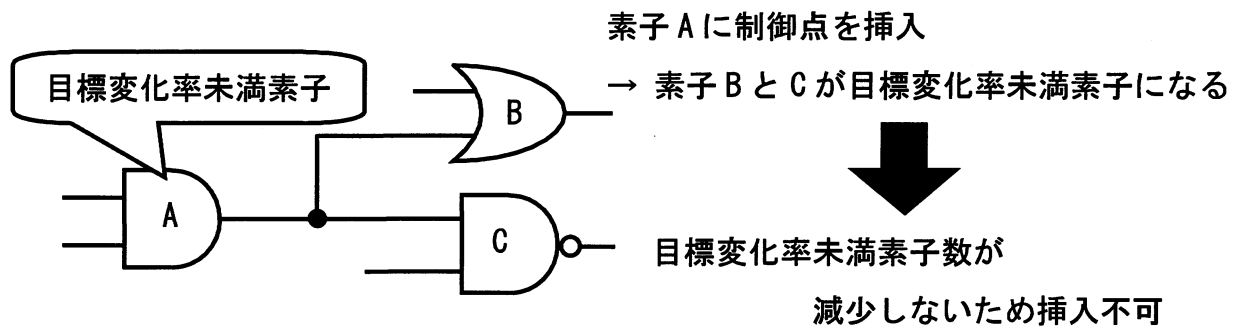


図 4.6 目標変化率未満素子数による挿入不可例

以上のことから、制御点挿入によって出力変化率を目標変化率にできない素子が存在し、打ち止めが発生する。

#### 4.3.2 確率計算法の誤差

表 4.1～4.11 までのランダムデータ系列入力結果による目標変化率未満素子数は、表 4.10 の確率計算法による目標変化率未満素子数よりも多くなっている。これは、回路内に含まれた再収れんの存在により、確率計算に誤差が生じたからである。再収れんとは、図 4.7 のように、組み合わせ回路部内で一度分岐した結線が後に再度集まるような回路構成のことである。図の AND 素子は確率計算法では 1 率 0.25、出力変化率 37.5% であるが、実際には値 0 しか出力しない。このように、回路内に再収れんが存在すると、その配線先にある素子の入力は独立でなくなるため、確率計算法による 1 率や変化率には誤差が生じてしまう。これにより、目標変化率未満素子を判別できず、制御点挿入が必要な素子に挿入しなかったことによって、実際の目標変化率未満素子数が増加したと考えられる。

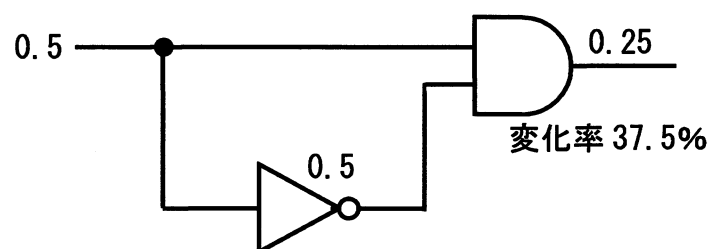


図 4.7 再収れん

### 4.3.3 グリーディ法の欠点

グリーディ法はその時点で最良の解を選択していくため、長期的に見た場合、誤った解を選択することがある。図 4.8 の例では、最初に素子 B の出力変化率を目標変化率以上にする制御点  $\beta$  を挿入したが、その後、素子 B に影響する制御点  $\alpha$  が挿入されたことで、素子 B は目標変化率未達素子に戻った。そのため、素子 B の出力変化率を目標変化率以上にする制御点  $\gamma$  を新たに挿入する。このように、既に挿入した制御点よりも回路入力に近い地点に制御点を挿入すると効果が打ち消され、挿入が無駄になることが考えられるため、制御点数は最少にはならない。

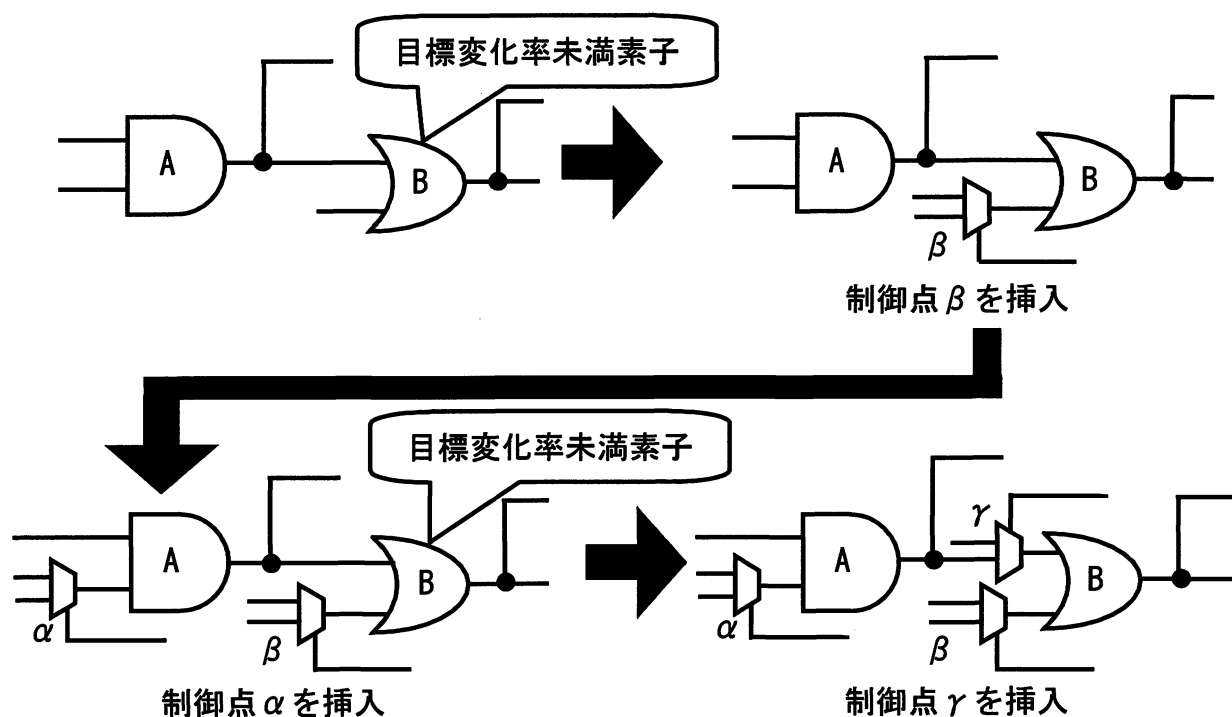


図 4.8 非効率な制御点の挿入

また、挿入する制御点を決める際、挿入する候補が全挿入可能地点では多すぎるため、確率計算法による目標変化率未達素子数で効果を計測しても計算時間は膨大なものとなる。

以上のことから、グリーディ法を適用した制御点決定法には問題があるため、目的を達成することができなかった。

## 第 5 章 段階的制御点決定法

### 5.1 段階的制御点決定法

前章でのグリーディ法を適用した制御点決定法には問題が存在したため、全素子に目標変化率以上の出力変化を起こすことができなかった。そこで、本章では前章の提案手法の問題を解決することで、確実に目的を達成する段階的制御点決定法を提案する。

#### 5.1.1 制御点種類の追加

前章の提案手法の問題の 1 つに、制御点を挿入し、1 率 0.5 のランダムデータを入力すると素子の出力変化率が下がる場合があった。このことから、値が頻繁に変化するデータを入力しても、素子が出力変化しやすくなるとは限らないため、バーンイン時にランダム入力データを素子に入力する制御点だけでは、全素子に目標変化率以上の出力変化を起こすことができない。そこで、制御点の種類を増やし、1 率 0.5 以外の入力データを素子に入力することを提案する。新たに追加する制御点は、1 率 0 と 1 の単一入力データを入力する 2 つの制御点とする（図 5.1）。制御点挿入の際、これら 3 つの中から最適なものを選択することで、確実に出力変化率を増加させることができる。

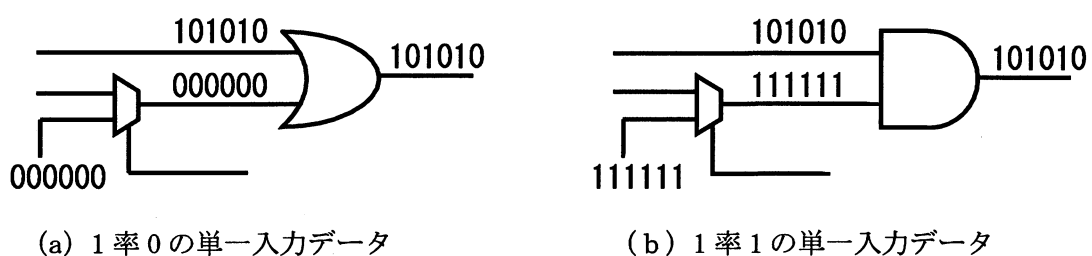


図 5.1 追加する制御点の入力データ

#### 5.1.2 素子の段階的处理

前章の提案手法では、1 個の制御点の挿入による目標変化率未満素子の減少数で挿入効果を計測していた。このため、4.3.1 節での記述より、1 個の制御点挿入で出力変化率を目標変化率以上にできない素子や、制御点挿入によって出力変化率は目標変化率以上になるが、目標変化率未満素子数が減少しない素子は、制御点挿入できずに目標変化率未満素子のま

ま残り，制御点挿入の打ち止めが発生していた．そこで，目標変化率未満素子の中で入力に最も近い素子を制御点挿入対象素子に決定し，入力配線上に制御点を必要な数だけ挿入することで，目標変化率以上の出力変化を確実に起こす（図 5.2）．また，制御点挿入を入力に近い順で行うことにより，4.3.3 節で記述した制御点効果の打ち消しが発生せず，挿入地点候補も制御点挿入対象素子の入力配線上に限定されるため，計算時間が減少する．

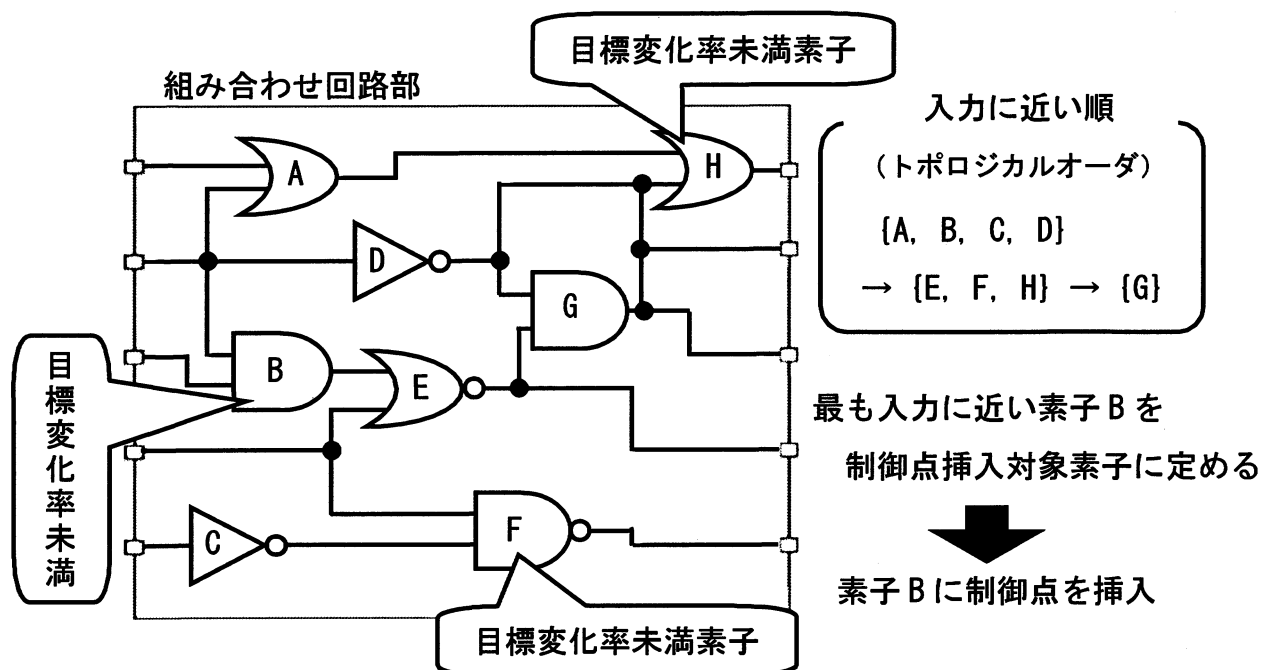


図 5.2 素子の段階的処理

### 5.1.3 ランダム入力による論理シミュレーション

前章の提案手法では，挿入地点候補が多すぎるため不可能だったが，本手法では前節の段階的処理により，挿入するのは制御点挿入対象素子の入力配線上に限定したため，制御点の効果を計測するためにランダムデータ系列を入力する論理シミュレーションを行う．これにより，実際の素子の出力変化率が判明するため，4.3.2 節で記述した，確率計算法の誤差によって目標変化率未満素子が判別できないこともなくなる．

### 5.1.4 段階的制御点決定法の流れ

前節までの提案事項を加えて作成した，段階的制御点決定法のフローチャートを図 5.3 に示し，以下にアルゴリズムを説明する．

Step1：ランダムデータの論理シミュレーションを行い，全素子の出力変化率を求める．そ

の結果、目標変化率未満素子数が0だった場合、終了する。

Step2: 目標変化率未満素子の中で、入力に最も近い素子を制御点挿入対象素子に決定する。  
また、制御点挿入対象素子の出力先にはない目標変化率未満素子は、制御点挿入対象素子の出力変化率の変化による影響を受けないため、制御点挿入対象素子に追加する。

Step3: 制御点挿入対象素子の出力変化率を目標変化率以上にする最も少ない制御点を確率計算法で求める。複数候補が挙げった場合、確率計算法で最も目標変化率未満素子数を減少できる制御点を選択する。

Step4: ランダムデータ系列の論理シミュレーションを行い、制御点の挿入効果を計測する。  
その結果、目標変化率未満素子数が0になった場合は終了し、それ以外はStep2に戻る。  
また、制御点を挿入した素子の出力変化率が目標変化率未満だった場合、その制御点をStep3の選択候補から外す。

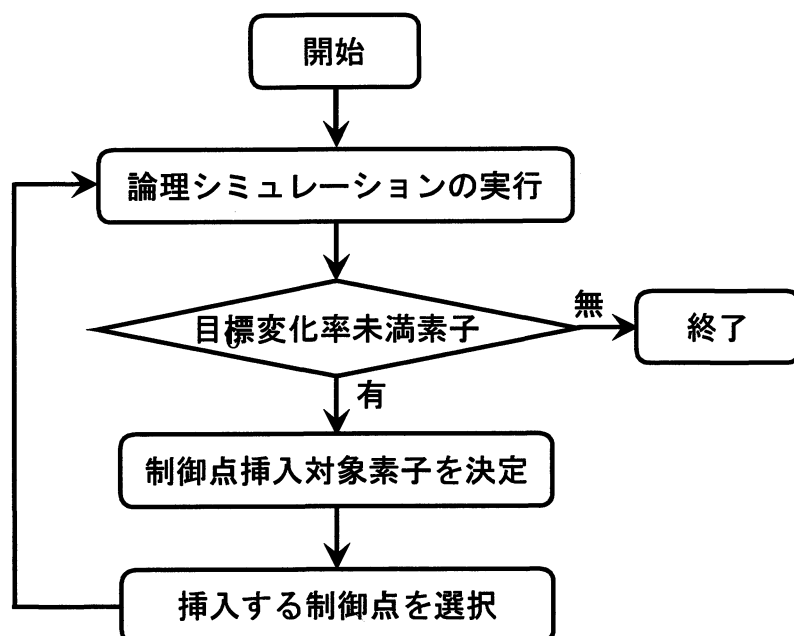


図 5.3 段階的制御点決定法の流れ

## 5.2 実験結果

段階的制御点決定法を C 言語で実装し、前章と同様にベンチマーク回路で制御点挿入実験を行った結果を表 5.1～表 5.11 に示す。これらの表は、制御点挿入前と挿入後に LSI にデータ数 10000 個のランダムデータ系列を入力した結果の目標変化率未満素子数と挿入した制御点数、及び制御点決定にかかった時間を記している。

表 5.1 s 5378 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	582	0	235	4.39
5	262	0	139	2.75
1	138	0	70	1.80
0.5	87	0	62	1.65

表 5.2 s 9234 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	968	0	263	6.48
5	824	0	195	24.12
1	494	0	131	5.58
0.5	417	0	106	4.97

表 5.3 s 13207 における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1485	0	577	53.96
5	1329	0	355	15.90
1	1212	0	148	7.46
0.5	1013	0	134	10.34

表 5.4 s 15850 における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1466	0	539	28.83
5	1050	0	388	20.17
1	679	0	146	10.96
0.5	512	0	134	12.75

表 5.5 s 38417 における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	2241	0	1069	113.18
5	1615	0	730	50.65
1	862	0	238	43.62
0.5	753	0	169	32.03

表 5.6 s 38584 における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	3095	0	1069	113.18
5	2213	0	730	50.65
1	1598	0	238	43.62
0.5	1307	0	169	32.03

表 5.7 b14s における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	656	0	428	25.31
5	561	0	231	36.68
1	231	0	181	23.08
0.5	165	0	99	23.77

表 5.8 b15s における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	3700	0	2023	251.35
5	2053	0	1782	501.33
1	1167	0	632	71.85
0.5	1022	0	621	123.11

表 5.9 b 20 s における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1474	0	557	49.92
5	1334	0	429	58.30
1	678	0	476	72.46
0.5	562	0	280	31.09

表 5.10 b 21 s における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1443	0	632	64.94
5	1197	0	509	34.09
1	593	0	298	89.08
0.5	487	0	228	58.26

表 5.11 b 22 s における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	2280	0	1483	465.85
5	1856	0	932	163.11
1	780	0	551	97.12
0.5	608	0	423	161.32

### 5.3 考察

段階的制御点決定法により, LSI の全素子に目標変化率以上の出力変化を起こすことができた. しかし, 前章の提案手法の結果である表 4.1~表 4.11 と比べた場合, 本手法は目標変化率未満素子数を 0 にでき, 制御点決定にかかった時間も短くなっているが, 挿入した制御点数は大幅に増加している. このことから, 前章のグリーディ法を適用した制御点決

定法では、目標変化率未満素子数は 0 にできなかったが、全挿入可能地点から制御点を挿入することで、少ない制御点で多くの素子に目標変化率以上の出力変化を起こしていたことがわかる。それに対し、本手法では制御点挿入対象素子の入力配線上だけを挿入地点候補にしたことで、目標変化率未満素子数を一気に減少させる効率的な地点に挿入できず、最終的な制御点数が増加したと考えられる。

#### 5.4 挿入地点候補を拡張した段階的制御点決定法

前節で判明した問題から、本節では挿入地点候補を拡張した段階的制御点決定法を提案する。本手法では、図 5.4 のように、挿入地点候補を素子の入力配線上だけでなく、分岐前の素子の出力配線上にも拡張する。これにより、出力配線上にある複数の目標変化率未満素子を 1 個の制御点挿入によって目標変化率以上にすることができる。

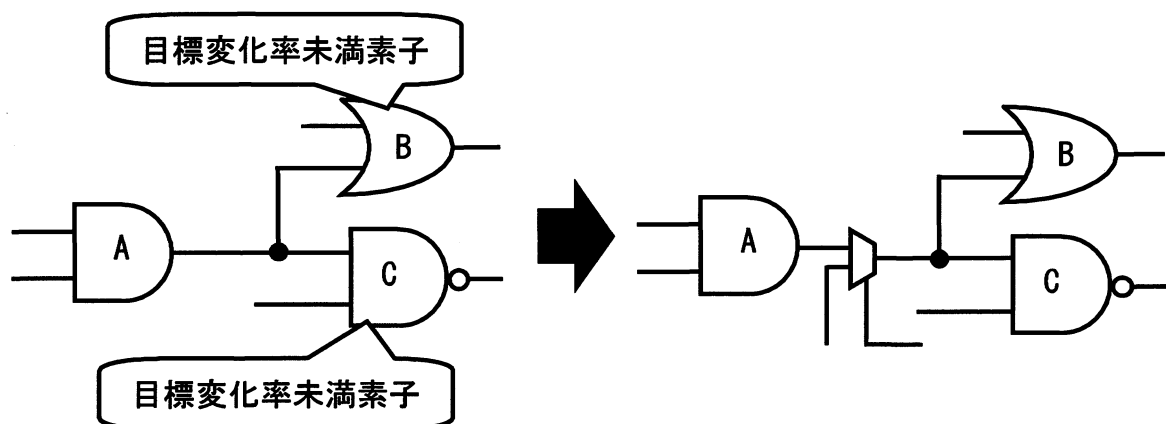


図 5.4 挿入地点候補の拡張

#### 5.5 実験結果

挿入地点候補を拡張した段階的制御点決定法を C 言語で実装し、前回と同様にベンチマーク回路で実験を行った結果を表 5.12～表 5.22 に示す。これらの表は、制御点挿入前と挿入後に LSI にデータ数 10000 個のランダムデータ系列を入力した結果の目標変化率未満素子数と挿入した制御点数を記している。

表 5.12 s 5378 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	582	0	135	3.10
5	262	0	88	2.15
1	138	0	40	1.76
0.5	87	0	33	1.71

表 5.13 s 9234 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	968	0	187	7.66
5	824	0	130	5.85
1	494	0	60	4.46
0.5	417	0	40	3.96

表 5.14 s 13207 における目標変化率未満素子数

目標変化率[%]	制御点挿入前	制御点挿入後		
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1485	0	331	15.79
5	1329	0	310	18.27
1	1212	0	118	10.02
0.5	1013	0	136	10.51

表 5.15 s 15850 における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1466	0	547	27.74
5	1050	0	361	20.52
1	679	0	171	13.82
0.5	512	0	132	14.84

表 5.16 s 38417 における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	2241	0	870	71.52
5	1615	0	576	58.28
1	862	0	191	35.08
0.5	753	0	141	31.04

表 5.17 s 38584 における目標変化率未満素子数

制御点挿入前		制御点挿入後		
目標変化率[%]	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	3095	0	1173	129.63
5	2213	0	805	100.60
1	1598	0	447	82.08
0.5	1307	0	420	90.87

表 5.18 b14s における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	656	0	171	20.30
5	561	0	127	17.90
1	231	0	60	17.41
0.5	165	0	54	17.91

表 5.19 b15s における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	3700	0	1367	113.71
5	2053	0	820	69.82
1	1167	0	149	33.23
0.5	1022	0	206	40.35

表 5.20 b20s における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1474	0	367	34.77
5	1334	0	191	26.31
1	678	0	138	28.16
0.5	562	0	98	24.49

表 5.21 b 21 s における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	1443	0	449	36.36
5	1197	0	223	24.36
1	593	0	138	23.75
0.5	487	0	113	21.92

表 5.22 b 22 s における目標変化率未満素子数

目標変化率[%]	制御点挿入前		制御点挿入後	
	目標変化率未満素子数	目標変化率未満素子数	制御点数	時間[s]
10	2280	0	691	78.98
5	1856	0	331	52.45
1	780	0	223	48.75
0.5	608	0	178	46.05

## 5.6 考察

挿入地点候補を拡張した段階的制御点決定法により、ほとんどの回路で制御点数を減少させることができた。また、挿入地点候補の拡張による計算時間の増加よりも、制御点挿入によって目標変化率未満素子数が一気に減少したことで、制御点決定にかかる時間は減少した。しかし、回路 s 15850 と s 38584 の一部の結果では、前手法よりも制御点数が増加している。これは、制御点挿入地点を確率計算法の結果で決定する際に誤差が生じ、候補の中で最も目標変化率未満素子数を減少させる効果的な地点に制御点を決定できなかったことが要因として考えられる。このことから、挿入地点候補増加により、目標変化率未満素子数を一気に減少させることは可能だが、最適な挿入地点を選択できないことが問題となる。

## 第6章 まとめ

本論文では、バーンイン時に初期不良を確実に発生させるため、全素子に目標変化率以上の出力変化を起こすバーンイン容易化回路を LSI に組み込むことを提案した。また、それに伴って回路面積が増えることによるチップコストの増加を抑えるため、回路作成のための制御点挿入数を最小化する。そのための手法として、グリーディ法を適用した制御点決定法と段階的制御点決定法の2つを考案した。

グリーディ法を適用した制御点決定法では、最も効果の高い制御点を挿入していくことで、効率的に目標変化率未満素子を減少させるが、目標変化率以上の出力変化を起こせない素子が必ず存在した。

段階的制御点決定法では、制御点挿入対象素子を決定し、その素子を確実に目標変化率以上出力変化させる制御点を挿入していくことを繰り返した。これにより、全素子に目標変化率以上の出力変化を起こさせ、目的は達成したが、制御点数は膨大な量となった。

## 謝辞

本研究の遂行，及び修士論文の執筆にあたり，多くのご指導とご助言を頂きました，三重大学工学部電気電子工学科篠木剛教授に深く感謝いたします。また，同じ研究室で共に研究に携わりご助言を頂いた電子設計システム研究室博士前期課程の国分達哉氏，加藤雄一氏，佐野裕基氏，柴田信雄氏，卒業研究生の大橋玄文氏，大原一馬氏，木村拓也氏，中村智信氏，若松俊希氏に深く感謝いたします。最後になりましたが，日頃お世話になりました，情報処理研究室の鶴岡信治教授，高瀬治彦準教授，川中普晴助教，大学院生，卒業研究生の皆様に深く感謝いたします。

## 参考文献

- [1] Alfredo BENSO,Alberto BOSIO,Stefano DI CARLO,Giorgio DINATALE, Paolo PRINETTO:ATPG FOR DYNAMIC BURN-IN FULL- SCAN CIRCUITS,PROCEEDINGS OF THE Fifteenth ASIAN TEST SYMPOSIUM , pp.75-80(2006)
- [2]Vinay Dabholkar:Computing Stress Test for Interconnect Defects,edings of the 5 th Asian Test Symposium,pp.143-148(1997)
- [3] 石村貴志, 三浦友和, 嶋田陽子, “スキャンテスト時の消費電力削減を目的とした信号遷移抑制箇所選択手法”, 第 55 回 FTC 研究会 (2006)

## 発表論文

- (1) 荒川加奈子, 篠木剛: “LSIの過負荷検査のための負荷量の制御手法”, 平成20年度電気関係学会東海支部連合大会, 0-083, 2008.9
- (2) 荒川加奈子, 篠木剛: “データ量制限下でのLSIの過負荷検査のための負荷量の制御手法”, 平成20年度三重地区計測制御研究講演会, A-15, 2008.12
- (3) 荒川加奈子, 篠木剛: “LSIの負荷検査容易化のための制御点挿入法”, 平成21年度電気関係学会東海支部連合大会, 0-431, 2009.9