

学位論文審査結果の要旨

専攻名	システム工学専攻	氏名	中林 智之
学位論文題目	Researches on fabrication of low-energy heterogeneous multi-core processors		
主査・副査	主査	近藤 利夫	印
	副査	太田 義勝	印
	副査	森 香津夫	印
	副査		印
審査結果の要旨			
<p>近年、高性能と低電力の両立が強く求められる中、構成の異なるプロセッサコアを複数用いて高電力効率を実現するヘテロジニアスマルチコアプロセッサ(HMP)が注目を集めている。本論文ではこの低電力高性能HMPの実現に向けて、(1)低電力コアの要素技術の開発と(2)HMPの自動設計環境の構築について論じている。</p> <p>(1)プログラムの特性に応じて適切なコアを割り当てることで消費電力を低減するHMPは、移動コストが大きいためにプログラム移動による細粒度の電力最適化が困難であるという問題点があった。これに対し、細粒度の低電力化に有効ながら利用が単一コアに留まっていた動的にパイプライン段数を変更する可変パイプライン段数アーキテクチャ(VSP: variable stages pipeline)を適用することにより、従来のHMPでは低電力化困難であった細かさの粒度において、最大で48%もの電力が低減されることを明らかにした。また、VSPの要素技術であるLatch D-FF Selector-cell(LDS-cell)の低電力回路構成を示し、0.18μm CMOS技術のVSPプロセッサチップを試作して、小段パイプライン時に更に13%の電力が削減されることを実証した。</p> <p>(2)HMPの開発には、性能の異なる様々なコアやキャッシュおよび複雑な共有バスを設計する必要がある。そのため、従来のプロセッサ開発と比較して数倍もの労力が必要となる。この問題の解決に向けてノースカロライナ州立大学と共同研究中の様々なHMPを自動設計するFabHeteroに対し、HMP内で必要とされるキャッシュを自動設計するFabCache、及び共有バスを自動設計するFabBusを開発した。更にFabHeteroを用いた設計空間探索を高効率化するために、システムコールエミュレーションとチェックポイント機能を有した協調シミュレーションフレームワーク開発し、HMPの研究開発効率を大きく向上させた。</p> <p>このように、本論文は今後必要不可欠となるHMPの低電力化技術と設計容易化フレームワークの開発に成功しており、実用性の高い成果を出していると評価できる。また、公聴会においても、研究の要点から成果・貢献まで、分かりやすく説明できたのに加え、他手法との比較に関する質問に対して、本研究の優位性を明確に示しているため、本論文は博士(工学)の学位授与に値すると判定した。</p>			